

## PATENT ABSTRACTS OF JAPAN

U3-9805-Ts-β (y)

(11)Publication number : 60-045061  
 (43)Date of publication of application : 11.03.1985

(51)Int.CI. H01L 29/72  
 H01L 27/04

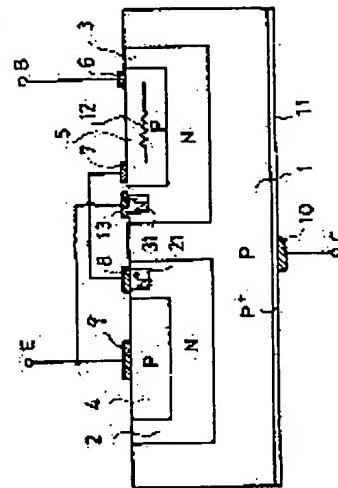
(21)Application number : 58-152742 (71)Applicant : FUJI ELECTRIC CO LTD  
 (22)Date of filing : 22.08.1983 (72)Inventor : HIROHASHI OSAMU

## (54) VERTICAL P-N-P TRANSISTOR

## (57)Abstract:

PURPOSE: To obtain the title device which requires no connection of resistors and incorporates a base resistor in the same chip by a method wherein a P type resistance region surrounded by N-regions is formed in a P type substrate and then made as the base resistor by being connected to the base region.

CONSTITUTION: To P-regions 4 and 5 are formed in the N-regions 2 and 3 in the P type Si substrate 1, and the base resistor is constructed of a P-region 5 with a P-region 1 as the collector region, an N-region 2 as the base region, and a P-region 4 as the emitter region. An electrode 9 is connected to an emitter terminal E, an electrode 6 to a base terminal B, and an electrode 10 to a collector terminal C via P+ layer 11, resulting in the construction of this transistor incorporating the base resistor 12. An electrode 13 contacting the N-region 3 via N+ region 31 is connected to the emitter terminal E, a reverse bias being impressed between the N-region 3 and the P-region 5, and the parasitic effect of the transistor composed of the P-region 5, N-region 3, and P-region 1 being then removed.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

U3-9805-7S-B (4)

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

## ⑯ 公開特許公報 (A) 昭60-45061

⑯ Int.Cl.  
H 01 L 29/72  
27/04

識別記号

庁内整理番号  
7514-5F  
8122-5F

⑯ 公開 昭和60年(1985)3月11日

審査請求 未請求 発明の数 1 (全2頁)

⑯ 発明の名称 縦方向PNPトランジスタ

⑯ 特願 昭58-152742

⑯ 出願 昭58(1983)8月22日

⑯ 発明者 広橋修 川崎市川崎区田辺新田1番1号 富士電機製造株式会社内  
⑯ 出願人 富士電機株式会社 川崎市川崎区田辺新田1番1号  
⑯ 代理人 弁理士 山口 嶽

## 明細書

1. 発明の名称 縦方向PNPトランジスタ

2. 特許請求の範囲

1) P型半導体基板内に第一のN領域と第二のN領域が、第一のN領域内に第三のP領域が、第二のN領域内に第三のP領域がそれぞれ形成され、基板本来のP領域、第二のP領域、第一、第二のN領域はそれぞれ一つのオーム接触電極を、第三のP領域は離れて位置する二つのオーム接触電極をそれぞれ有し、第一のP領域の電極はコレクタ端子に、第二のP領域の電極および第二のN領域の電極はエミッタ端子に、第三のP領域の一方の電極はベース端子にそれぞれ接続され、かつ第一のN領域の電極と第三のP領域の他の方の電極が相互に接続されたことを特徴とする縦方向PNPトランジスタ。

3. 発明の詳細な説明

## 〔発明の属する技術分野〕

本発明はベース电流制限用のベース抵抗を内蔵した縦方向PNPトランジスタに関する。

## 〔従来技術とその問題点〕

従来縦方向PNPトランジスタのベースに抵抗を付加するには、PNPトランジスタチップに抵抗体を接続したハイブリッド型がほとんどであった。そのため接続工数が必要となり原材料費も高くなる。

## 〔発明の目的〕

本発明は、抵抗体の接続の必要なないベース抵抗を同一チップに内蔵した縦方向PNPトランジスタを提供することを目的とする。

## 〔発明の要點〕

本発明はP型半導体基板内に第一のN領域と第二のN領域が、第一のN領域内に第三のP領域が、第二のN領域内に第三のP領域がそれぞれ形成され、基板本来の第一のP領域、第二のP領域、第一、第二のN領域はそれぞれ一つのオーム接触電極を、第三のP領域は離れて位置する二つのオーム接触電極を、第一のP領域の電極はコレクタ端子に、第二のP領域の電極および第二のN領域の電極はエミッタ端子に、第三のP領域の一方の電極はベース端子にそれぞれ接続され、かつ第一のN領域の電極と第三のP領域の他の方の電極が相互に接続されたことを特徴とする縦方向PNPトランジスタ。

かつ第一のN領域の電極と第三のP領域の他方の電極が相互に接続されていることによつて上記の目的を達成する。

[発明の実施例]

第1図は本発明の一実施例を示し、P形シリコン基板1内に二つのN領域2, 3が上面からの選択拡散により形成されている。さらにN領域2, 3の内部には再び上面からの選択拡散によりP領域4, 5が形成されている。このP形基板の本来のP電極1をコレクタ領域、N領域2をベース領域、P領域4をエミッタ領域としてPNPトランジスタを構成し、P領域5によってベース抵抗を構成する。すなわちP領域5に間隔を置いた二つの電極6, 7をオーム接觸させ、ベース領域2にN<sup>+</sup>領域21を介してオーム接觸する電極8と電極7とを接続する。このようにしてP領域4の電極9をエミッタ端子Eに、P領域5の電極6をベース端子Bに、基板1にP<sup>+</sup>層11を介して接觸する電極10をコレクタ端子Cに接觸すればベース抵抗12を内蔵するPNPトランジスタができ上がるが、こ

特開昭41-45061(2)

のままでP領域5、N領域3およびP領域1で構成されるトランジスタの寄生効果が生ずるためN領域3にN<sup>+</sup>領域31を介して接続する電極13をエミッタ端子Eと接続してN領域3とP領域5の間に逆バイアスをかけ、寄生効果を除く。この結果得られたPNPトランジスタの等価回路は第2図に示した通りで、二つの寄生ダイオード14, 15が形成される。

[発明の効果]

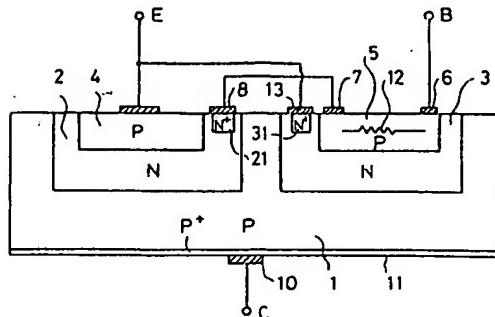
本発明は従来方向PNPトランジスタのP形基板に別にN領域に開まれたP形の抵抗領域を形成しベース領域に接続してベース抵抗として内蔵せると共に、抵抗領域を跨ぐN領域をエミッタに接続して寄生効果を防いだもので、抵抗内蔵のため外部接続の必要がなく、しかもトランジスタ各側面の形成と同一工程で形成できるため工数もより直列駆動の低速と信頼性の向上が達せられる。

4.断面の簡単な説明

第1図は本発明の一実施例の断面図、第2図はその等価回路図である。

1 …… P形基板、2 …… ベース領域、4 …… エミッタ領域、5 …… ベース抵抗領域、12 …… ベース抵抗。  
発明人山口 周

第1図



第2図

